

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 6 日 (06.10.2005)

PCT

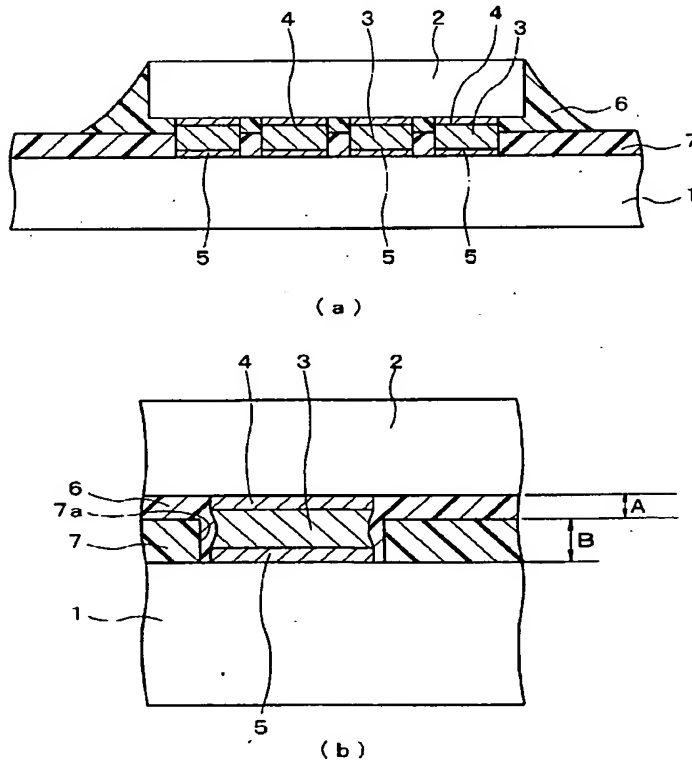
(10) 国際公開番号
WO 2005/093817 A1

- (51) 国際特許分類: H01L 21/60 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/000226 (75) 発明者/出願人 (米国についてのみ): 大内 明
(22) 国際出願日: 2005 年 1 月 12 日 (12.01.2005) (OHUCHI, Akira) [JP/JP]; 〒1088001 東京都港区芝五
(25) 国際出願の言語: 日本語 丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 村上
(26) 国際公開の言語: 日本語 朝夫 (MURAKAMI, Tomoo) [JP/JP]; 〒1088001 東京
(30) 優先権データ: 特願2004-094309 2004 年 3 月 29 日 (29.03.2004) JP 都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo
(71) 出願人 (米国を除く全ての指定国について): 日本電気 (74) 代理人: 藤巻 正憲 (FUJIMAKI, Masanori); 〒1000011
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都千代田区内幸町二丁目 2 番 2 号 富国生命ビ
東京都港区芝五丁目 7 番 1 号 Tokyo (JP). ル 5 階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device where the gap between a semiconductor element and a wiring board is resin sealed, and its manufacturing process in which highly reliable electrical connection is realized. An electrode pad (5) and a solder resist (7) are provided on the upper surface of a wiring board (1), an opening (7a) is formed in the solder resist (7) to expose the electrode pad (5), and an electrode (4) is provided on the lower surface of a semiconductor element (2). The electrode (4) is connected with the electrode pad (5) through a bump (3). Furthermore, an underfill resin (6) is provided at the portion of the space between the wiring board (1) and the semiconductor element (2) excluding the bump (3) and the solder resist (7). Between the wiring board (1) and the semiconductor element (2), thickness (B) of the solder resist (7) is set to be not smaller than the thickness (A) of the underfill resin (6) on the solder resist (7). Furthermore, volume (Vb) of the bump (3) is set to be smaller than the volume (Vs) of the opening (7a).

[続葉有]

WO 2005/093817 A1



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一、国際調査報告書
- 一 補正書

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、半導体素子と配線基板との隙間を樹脂封止してなる半導体装置及びその製造方法において、信頼性の高い電氣的接続を実現する。

配線基板(1)の上面に電極パッド(5)及びソルダーレジスト(7)を設け、ソルダーレジスト(7)に電極パッド(5)を露出するように開口部(7a)を形成し、半導体素子(2)の下面に電極(4)を設ける。そして、バンパ(3)を介して電極(4)を電極パッド(5)に接続する。更に、配線基板(1)と半導体素子(2)との間の空間におけるバンパ(3)及びソルダーレジスト(7)を除く部分には、樹脂からなるアンダーフィル樹脂(6)を設ける。そして、配線基板(1)と半導体素子(2)との間において、ソルダーレジスト(7)の厚さ(B)を、ソルダーレジスト(7)上のアンダーフィル樹脂(6)の厚さ(A)以上とする。また、バンパ(3)の体積(Vb)を、開口部(7a)の容積(Vs)よりも小さくする。